

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Masatsugu KOJIMA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE AND ELECTRIC DEVICE WITH THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

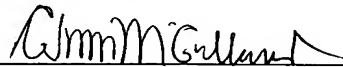
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-311393	September 3, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 9 月 3 日
Date of Application:

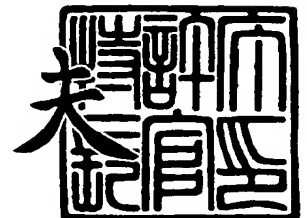
出 願 番 号 特 願 2 0 0 3 - 3 1 1 3 9 3
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 3 1 1 3 9 3]

出 願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 3 年 1 0 月 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 8 0 8 2 3

【書類名】 特許願
【整理番号】 03P140
【あて先】 特許庁長官 殿
【国際特許分類】 G11C 16/00
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝 マイクロ
 エレクトロニクスセンター内
 【氏名】 小島 正嗣
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【代理人】
 【識別番号】 100092820
 【弁理士】
 【氏名又は名称】 伊丹 勝
【手数料の表示】
 【予納台帳番号】 026893
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

電氣的書き換え可能な不揮発性メモリセルが配列されて、複数ページで構成される少なくとも一つのブロックを有するセルアレイと、

前記セルアレイのページ単位或いは連続する複数ページからなるサブブロック単位でのデータ消去を制御するコントローラとを備え、

前記セルアレイは、二値データ列で表されてその下位ビット側の“0”データの数が増加値を示すデータ消去回数を記憶する消去管理領域を有し且つ、

前記消去管理領域が記憶するデータ消去回数は、前記ブロック内の選択ページについてのデータ消去前に前記ブロックの複数ページを選択状態とするチェック読み出し動作で読み出され、データ消去後に更新されたデータ消去回数が前記選択ページに書き込まれることを特徴とする不揮発性半導体記憶装置。

【請求項 2】

前記セルアレイは、通常のデータ読み書きを行うノーマルデータ領域と、前記消去管理領域を含む冗長領域とを有する

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

前記セルアレイのページ単位のデータ読み出し及び書き込みを行うためのセンスアンプ回路と、

データ消去前に前記消去管理領域から前記センスアンプ回路に読み出されたデータ消去回数を一時保持するためのレジスタ回路と、

前記センスアンプ回路に読み出されたデータ消去回数を前記レジスタ回路に転送すると共に、データ消去後に前記レジスタ回路が保持するデータ消去回数に 1 を加算して更新されたデータ消去回数を前記センスアンプ回路に転送するように構成されたデータ転送回路と、

前記レジスタ回路に転送されたデータ消去回数が許容最大値に達したか否かを判定する判定回路とを有する

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】

前記データ転送回路は、

第 1 のタイミング信号により活性化されて前記センスアンプ回路に読み出されたデータ消去回数を各ビット並列に前記レジスタ回路に転送する読み出し転送バッファと、

第 2 のタイミング信号により活性化されて、データ消去回数データを 1 ビットずつ上位側にシフトすると共に、前記データ消去回数データの最下位ビットとなる“0”データを加算して更新された消去回数を前記センスアンプ回路に転送する書き込み転送バッファとを有する

ことを特徴とする請求項 3 記載の不揮発性半導体記憶装置。

【請求項 5】

前記判定回路は、第 3 のタイミング信号により活性化されて、前記レジスタ回路に読み出されたデータ消去回数データの最上位ビットが“0”か“1”かを判定するコンパレータである

ことを特徴とする請求項 3 記載の不揮発性半導体記憶装置。

【請求項 6】

前記判定回路の判定出力は、チップ外部にステータスフラグとして出力される

ことを特徴とする請求項 3 記載の不揮発性半導体記憶装置。

【請求項 7】

前記セルアレイは、制御ゲートがそれぞれ異なるワード線に接続されて直列接続された複数のメモリセルにより構成される NAND セルユニットを配列して構成され、1 ワード線に接続される複数のメモリセルの集合が 1 ページ又は 2 ページとなり、ワード線方向に並ぶ複数の NAND セルユニットの集合が 1 ブロックとなる

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 8】

制御ゲートがそれぞれ異なるワード線に接続されて直列接続された複数の電氣的書き換え可能な不揮発性メモリセルにより構成される N A N D セルユニットを配列して構成され、1 ワード線に接続される複数のメモリセルの集合が 1 ページ又は 2 ページとなり、ワード線方向に並ぶ複数の N A N D セルユニットの集合が 1 ブロックとなり、ワード線方向にノーマルデータ領域と冗長領域とに分けられ、前記冗長領域に、ブロック内の累積されたデータ消去回数がそのブロック内の最も最近にデータ消去のために選択されたページに書き込まれるセルアレイと、

前記セルアレイのページ単位のデータ読み出し及び書き込みを行うための、前記ノーマルデータ領域と冗長領域にそれぞれ対応するノーマルセンスアンプ回路と冗長センスアンプ回路を有するセンスアンプ回路と、

前記セルアレイのページ単位或いは連続する複数ページからなるサブブロック単位でのデータ消去を制御するコントローラと、

データ消去前に前記セルアレイの冗長領域から前記冗長センスアンプ回路に読み出されたデータ消去回数を一時保持するためのレジスタ回路と、

前記冗長センスアンプ回路に読み出されたデータ消去回数を前記レジスタ回路に転送すると共に、データ消去後に前記レジスタ回路が保持するデータ消去回数に 1 を加算して更新されたデータ消去回数を前記冗長センスアンプ回路に転送するように構成されたデータ転送回路と、

前記レジスタ回路に転送されたデータ消去回数が最大値に達したか否かを判定する判定回路とを有する

ことを特徴とする不揮発性半導体記憶装置。

【請求項 9】

前記冗長領域が記憶するデータ消去回数は、二値データ列で表されてその下位ビット側の“0”データの数が累積値を示すものであり、

前記冗長領域が記憶するデータ消去回数は、前記ブロック内の選択ページについてのデータ消去前に前記ブロック内の複数ワード線を選択するチェック読み出し動作で前記冗長センスアンプ回路に読み出され、データ消去後に更新されたデータ消去回数が前記冗長センスアンプ回路に書き戻されて前記選択ページの冗長領域に書き込まれる

ことを特徴とする請求項 8 記載の不揮発性半導体記憶装置。

【請求項 1 0】

前記データ転送回路は、

第 1 のタイミング信号により活性化されて前記冗長センスアンプ回路に読み出されたデータ消去回数を各ビット並列に前記レジスタ回路に転送する読み出し転送バッファと、

第 2 のタイミング信号により活性化されて、データ消去回数データを 1 ビットずつ上位側にシフトすると共に、前記データ消去回数データの最下位ビットとなる“0”データを加算して更新された消去回数を前記冗長センスアンプ回路に転送する書き込み転送バッファとを有する

ことを特徴とする請求項 8 記載の不揮発性半導体記憶装置。

【請求項 1 1】

前記判定回路は、第 3 のタイミング信号により活性化されて、前記レジスタ回路に読み出されたデータ消去回数データの最上位ビットが“0”か“1”かを判定するコンパレータであり、前記判定回路の判定出力は、チップ外部にステータスフラグとして出力されることを特徴とする請求項 8 記載の不揮発性半導体記憶装置。

【請求項 1 2】

請求項 1 乃至 1 1 のいずれかに記載の不揮発性半導体記憶装置が搭載された電子カード。

【請求項 1 3】

カードインタフェースと、

前記カードインタフェースに接続されたカードスロットと、
前記カードスロットに電氣的に接続可能な請求項 1 2 記載の前記電子カードと、
を有する電子装置。

【請求項 1 4】

前記電子装置は、デジタルカメラである請求項 1 3 記載の電子装置。

【書類名】明細書**【発明の名称】** 不揮発性半導体記憶装置及びこれを用いた電子装置**【技術分野】****【0001】**

この発明は、電氣的書き換え可能な不揮発性半導体記憶装置（EEPROM）とこれを用いた電子装置に関する。

【背景技術】**【0002】**

現在知られているEEPROMの多くは、浮遊ゲートに電荷を蓄積するタイプのメモリセルを用いている。その1つであるNAND型フラッシュメモリのセルアレイは、複数のメモリセルを直列接続したNANDセルユニットを配列して構成される。NANDセルユニット内のメモリセルは、隣接するもの同士でソース、ドレイン拡散層を共有する。従って、NAND型フラッシュメモリの大容量化のためには、NANDセルユニット内のメモリセル数を増やすことが有効である。これによって、ワード線を共有する複数のNANDセルユニットからなるブロックの容量が増加する。

【0003】

NAND型フラッシュメモリのブロック内に、小さなデータ量しか書き込まれないとすると、ブロックの残りが無駄になってしまう。そこで実際には、ブロックを更にいくつかのファイル領域に分けて、それらのファイル単位でデータ管理することが行われる。しかし、NAND型フラッシュメモリは通常、ブロック単位でデータ消去を行う。このデータ消去方式を用いながら、上述のようなデータ管理を行うと、データ書き換えに無駄な時間がかかる。

【0004】

例えば、ブロック内にデータAの領域とデータBの領域を設定したとする。データAをデータA'に書き換えるためには、データBを他のブロックにコピー書き込みする動作が必要である。この後ブロック消去を行い、消去されたブロックにデータA'を書き込む。この様に、書き換えないデータBのコピー書き込みが必要となり、これがデータ書き換え処理時間のオーバーヘッドとなる。

【0005】

このようなデータ書き換え動作のオーバーヘッドを解消するためには、データ消去動作をページ単位或いはサブブロック（連続する複数ページの集合）単位で行う方式が有効である（例えば、特許文献1、2、3参照）。ページ消去は、非選択ページのワード線をフローティングとし、選択ページのワード線に0Vを与え、セルアレイが形成されたp型ウェルに消去電圧を与えることにより可能である。

【0006】

これにより、選択ページのメモリセルでは、浮遊ゲートとチャネル間でFNTトンネリングによる電荷放電が起り、しきい値の低い消去状態（データ“1”状態）が得られる。非選択ページでは、ワード線（制御ゲート）がフローティングであるから、p型ウェルに印加される消去電圧の上昇に伴って、容量カップリングによりワード線が電圧上昇して、消去禁止状態となる。これにより、ブロック内においてデータ書き換えの必要のある領域のみデータの書き換えが可能になる。

【0007】**【特許文献1】** 特開平3-295097号公報**【特許文献2】** 特開平8-143398号公報**【特許文献3】** 特開平11-176177号公報**【発明の開示】****【発明が解決しようとする課題】****【0008】**

しかし、ページ単位（或いはサブブロック単位）のデータ消去を行うと、非選択ページのセルに消去ストレスがかかるという問題がある。特に、非選択ページのうち、選択ペー

ジに隣接する非選択ワード線に沿ったセルでは、データ消去時に残りの非選択ワード線より大きな消去ストレスがかかる。これは、フローティング状態（例えばV_{dd}）の非選択ワード線が、隣接する選択ワード線（例えば0V）との容量カップリングの影響で十分な消去禁止電圧まで上昇しないためである。特に、セルや配線の微細化により、ワード線間の容量が大きくなると、その影響が大きくなる。更に、消去したページへのデータ書き込み時には、非選択ページのワード線に中間電圧が与えられるが、非選択セルには書き込みストレスがかかる。

以上のように、ページ単位（或いはサブブロック単位）のデータ書き換えを繰り返すと、データデイスターブが大きくなり、データが破壊されるおそれがある。データ破壊を防止するためには、データ書き換え回数を制限する必要がある。

この発明は、データ消去回数を自動的に管理システムを内蔵する不揮発性半導体記憶装置とこれを用いた電子装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

この発明の一態様による不揮発性半導体記憶装置は、電氣的書き換え可能な不揮発性メモリセルが配列されて、複数ページで構成される少なくとも一つのブロックを有するセルアレイと、前記セルアレイのページ単位或いは連続する複数ページからなるサブブロック単位でのデータ消去を制御するコントローラとを備え、前記セルアレイは、二値データ列で表されてその下位ビット側の“0”データの数が増加するデータ消去回数を記憶する消去管理領域を有し且つ、前記消去管理領域が記憶するデータ消去回数は、前記ブロック内の選択ページについてのデータ消去前に前記ブロックの複数ページを選択状態とするチェック読み出し動作で読み出され、データ消去後に更新されたデータ消去回数が前記選択ページに書き込まれる。

【発明の効果】

【0010】

この発明によると、データ消去回数をチップ内部で自動管理するようにした不揮発性半導体記憶装置を提供することができる。

【発明を実施するための最良の形態】

【0011】

以下、図面を参照して、この発明の実施の形態を説明する。

図1は一実施の形態によるNAND型フラッシュメモリの機能ブロック構成を示している。セルアレイ1は、複数の浮遊ゲート型メモリセルMCをマトリクス配列して構成される。ロウデコーダ（ワード線駆動回路を含む）2は、セルアレイ1のワード線及び選択ゲート線を駆動する。センスアンプ回路3は、1ページ分のセンスアンプとデータ保持回路を備えて、セルアレイ1のページ単位のデータ書き込み及び読み出しを行うページバッファを構成する。

【0012】

センスアンプ回路3の1ページ分の読み出しデータは、カラムデコーダ（カラムゲート）4により選択されて、I/Oバッファ5を介して外部I/O端子に出力される。I/O端子から供給される書き込みデータは、カラムデコーダ4により選択されてセンスアンプ回路3にロードされる。センスアンプ回路3には1ページ分の書き込みデータがロードされ、これは書き込みサイクルが終了するまで保持される。アドレス信号はI/Oバッファ5を介して入力され、アドレス保持回路6を介してロウデコーダ2及びカラムデコーダ3に転送される。

【0013】

コントローラ7は、書き込みイネーブル信号／WE、読み出しイネーブル信号／RE、アドレスラッチイネーブル信号ALE、コマンドラッチイネーブル信号CLE等の外部制御信号に基づいて、データ読み出し、書き込み及び消去のタイミング制御のための各種内部タイミング信号を出力する。更にこれらの内部タイミング信号に基づいて、コントローラ7は、データ書き込み及び消去のシーケンス制御、データ読み出しの動作制御を行う。

高電圧発生回路 8 は、コントローラ 79 により制御されて、データ書き込みや消去に用いられる種々の高電圧 V_{pp} を発生する。

【0014】

図 2 は、セルアレイ 1 の詳細な構成を示している。セルアレイ 1 は、複数個（図の例では 32 個）の浮遊ゲート型メモリセル MC_0-MC_{31} を持つ NAND セルユニット NU を配列して構成される。具体的に NAND セルユニット NU は、複数のメモリセル MC_0-MC_{31} が直列接続されたセルストリングと、その一端とビット線 BL との間に配置された選択ゲートトランジスタ SG_1 と、他端とソース線 CELSRC との間に配置された選択ゲートトランジスタ SG_2 を有する。

【0015】

各メモリセル MC_0-MC_{31} の制御ゲートは、ワード線 WL_0-WL_{31} に接続され、選択ゲートトランジスタ SG_1 、 SG_2 のゲートは、ワード線 WL_0-WL_{31} と並行する選択ゲート線 SGD 、 SGS に接続される。一本のワード線に沿った複数のメモリセルの集合は 1 ページ又は 2 ページとなるが、以下では説明を簡単にするために、1 ワード線のメモリセル集合を 1 ページとする場合のみ説明する。ワード線方向に並ぶ複数の NAND セルユニット NU の集合が 1 ブロックとなる。図 2 のセルアレイ 1 は、ビット線方向に複数のブロック BLK_0-BLK_i を有する。

【0016】

セルアレイ 1 の各ページは、通常データ記憶を行うノーマルデータ領域 1a と冗長領域 1b に分けられている。例えば、ノーマルデータ領域 1a は 512 Byte である。冗長領域 1b は、ノーマルデータ領域 1a のデータのエラービット訂正を行うための ECC データ、論理アドレス、ブロックの良否を示すフラグ及び、“データ消去回数”を記憶するために用いられる。但し以下では、冗長領域 1b が、データ消去回数を管理するに必要な容量の“消去管理領域”のみを有するものとして説明する。またページ消去を前提とする以下の実施の形態では、データ消去回数は、ページ消去回数である。更に以下では、ページ消去回数を、ホットカウント (HC) 値ともいう。具体的に HC 値の最大値（許容値）を 32 として、これを記憶するに必要な冗長領域 1b は、4 Byte (= 32 bit) である。

【0017】

この実施の形態の NAND フラッシュメモリの書き込み、読み出し及び消去動作を説明する。二値データ記憶を行う場合、メモリセル MC は、図 3 に示すように、負のしきい値状態であるデータ “1”（消去状態）と、正のしきい値状態のデータ “0” を記憶する。データ書き込みは、ページ単位で行われる。具体的にセンスアンプ回路 3 にロードした書き込みデータに基づいて、ビット線 BL から選択セルのチャネルまでを $V_{dd}-V_{th}$ （“1”書き込み）又は V_{ss} （“0”書き込み）にプリチャージする。 V_{th} は、選択ゲートトランジスタ SG_1 のしきい値である。

【0018】

そして、選択ワード線に昇圧された書き込み電圧 V_{pgm} を印加する。“0”データが与えられたセルでは、チャネルから浮遊ゲートへの FN トンネリングによる電子注入が生じ、しきい値が正の “0” データ状態になる。“1”データが与えられたセルでは、チャネルが容量結合により電位上昇して、浮遊ゲートへの電子注入が生じない。これにより、“0”、“1”データが書かれる。なおこのデータ書き込み時、ブロック内の非選択ワード線には所定の間電圧 V_{pass} を与えて、非選択セルで書き込みが行われないようにする。

【0019】

実際のデータ書き込みでは、書き込み電圧 V_{pgm} 印加と、書き込み状態を確認するためのベリファイ読み出しとを含む書き込みサイクルを、全書き込みデータが書き込み完了するまで繰り返す。この様な書き込みシーケンス制御により、図 3 に示すようなデータしきい値分布を実現することができる。

【0020】

データ読み出しは、選択ワード線に読み出し電圧である 0 V を与え、非選択ワード線にはセルデータに依らずセルがオンするパス電圧 V_{read} を与えて、セル電流を検出する。具体的にセンスアンプ回路 3 は例えば、ビット線 BL を V_{dd} にプリチャージし、これが選択セルにより放電されるか否かを検出することにより、データ “0” , “1” をセンスする。

【0021】

データ消去はこの実施の形態では、ページ単位で行われる。この“ページ消去”は、選択ブロック BLK i 内の非選択ページのワード線（即ち非選択ワード線）を例えば電源電圧にプリチャージしてフローティング状態とし、選択ページのワード線（即ち選択ワード線）に 0 V を与えた状態で、セルアレイ 1 が形成された p 型ウェルに昇圧された消去電圧 V_{era} を与える。これにより、選択ページのセルは、浮遊ゲートの電子がチャンネルに放出されて、データ “1”（消去状態）となる。非選択ページでは、チャンネルからの容量結合により制御ゲート及び浮遊ゲートの電位が上昇し、データが保持される。

【0022】

以上のような NAND フラッシュメモリにおいてこの実施の形態では、ページ消去回数（HC 値）を管理するシステムがチップ内に構成されている。具体的に冗長領域 1 b が HC 値を記憶する消去管理領域である。この冗長領域 1 b が記憶する HC 値は、コントローラ 7 のタイミング制御により、ページ消去が実行される度に自動的に 1 加算されて、更新された HC 値が選択ページに書き込まれる。以下では、HC 値の最大値 MAX を 32 とした場合について、その HC 値管理の手法を説明する。

【0023】

図 8 A - 8 D は、32 ページ（P0 - P31）× 32 ビット（B0 - B31）の冗長領域 1 b での HC 値の書き込み及び更新の様子を示している。図 8 A は、冗長領域 1 b の初期化状態であり、図 8 B は、1 回目のページ消去後の状態、図 8 C は 2 回目のページ消去後の状態、図 8 D は、32 回目のページ消去後の状態をそれぞれ示している。この実施の形態において、冗長領域 1 b の HC 値は、32 ビットの二値データ列で表され、直前の選択消去ページにおける 32 ビット B0 - B31 のなかの最下位ビットからの “0” の数が累積 HC 値（合計値）を示す。

【0024】

初期化状態は、図 8 A に示すように、冗長領域 1 b がオール “1” であり、これが HC 値 = 0 を示す。この状態から、例えば選択ページ P0 についてデータ消去が行われると、図 8 B に示すように、その選択ページ P0 に、最下位ビット B0 が “0” となる、更新された HC 値（= 1）が書き込まれる。同じブロック内で 2 回目のページ消去がページ P2 について行われたとすると、図 8 C に示すように、選択ページ P2 に、下位 2 ビット B0, B1 が “0” となる、更新された HC 値（= 2）が書き込まれる。

【0025】

以下同様に、ページ消去がなされる毎に、その選択ページの冗長領域 1 b に更新された HC 値が書かれる。ブロック内で MAX = 32 回のページ消去が行われると、その選択ページが P0 であるとする、図 8 D に示すように、冗長領域 1 b のページ P0 には、32 ビット B0 - B31 が全て “0” 即ち、HC 値が最大値 MAX = 32 に達したことを示す状態になる。

【0026】

図 4 は、以上のような HC 値管理を行うシステムの構成を示している。ページバッファを構成するセンスアンプ回路 3 は、ノーマルデータ領域 1 a 対応のノーマルセンスアンプ回路 3 a と、冗長領域 1 b 対応の冗長センスアンプ回路 3 b とから構成される。冗長センスアンプ回路 3 b は、冗長領域 1 b の 32 ビットの HC 値を読み出し及び書き込みするために、32 個のセンスアンプ RSA0 - RSA31 を有する。

【0027】

冗長センスアンプ回路 3 b には、各データ消去サイクル毎に、データ消去前に冗長領域 1 b が保持する HC 値がチェックのために読み出され、データ消去後に更新された HC 値

が書き戻される。そのような動作を実現するために、冗長センスアンプ回路 3 b に読み出された HC 値を保持するレジスタ回路 1 2 が設けられている。冗長センスアンプ回路 3 b とレジスタ回路 1 2 の間に配置されたデータ転送回路 1 1 は、HC 値データ転送を行うと共に、読み出された HC 値に 1 を加算して更新する機能を有する。判定回路 1 3 は、レジスタ回路 1 2 に読み出された HC 値が最大値に達したか否かを判定するために設けられている。

【0028】

図 5 は、データ転送回路 1 1、レジスタ回路 1 2 及び判定回路 1 3 の具体的な構成を示している。データ転送回路 1 1 は、32 ビットの HC 値が読み出される冗長センスアンプ $RS A_j$ ($j = 0 \sim 31$) の各ノード N_j の読み出し HC データビットをレジスタ回路 1 2 の対応するレジスタ REG_i に並列転送するための読み出し転送バッファ 2 1 j を有する。これらの読み出し転送バッファ 2 1 j は、タイミング信号 R ($= "H"$)、 R_n ($= "L"$) により活性化されるクロック CMOS バッファである。但しここでは、冗長センスアンプ $RS A_j$ のノード N_j は、ビット線 BL 側のデータノードとは論理反転したデータとなる場合を示している。即ち各ノード N_j の読み出し及び書き込みデータは、セルデータ "0"、"1" に対応してそれぞれ "L" ($= V_{ss}$)、"H" ($= V_{dd}$) となる。

【0029】

データ転送回路 1 1 はまた、レジスタ回路 1 2 に読み出された HC 値をインクリメントして、冗長センスアンプ $RS A_j$ に書き戻すための書き込み転送バッファ 2 2 j を有する。これらの書き込み転送バッファ 2 2 j は、タイミング信号 W ($= "H"$)、 W_n ($= "L"$) により活性化されるクロック CMOS バッファにより構成される。書き込み転送バッファ 2 2 j は、レジスタ REG_j のデータが、1 ビットずつ上位側に順次シフトして、冗長センスアンプ $RS A_j$ のノード N_j に転送されるように構成されている。

【0030】

具体的に、最下位ビット対応の書き込み転送バッファ 2 2 0 の入力端は V_{ss} に固定され、その出力端は冗長センスアンプ $RS A_0$ のノード N_0 に接続されている。以下、書き込み転送バッファ 2 0 j ($j = 1 \sim 31$) の入力端は、レジスタ REG_{j-1} に接続され、出力端は冗長センスアンプ $RS A_j$ のノード N_j に接続されている。

【0031】

このような書き込み転送バッファ 2 0 j により、最下位ビット対応の冗長センスアンプ $RS A_0$ のノード N_0 には常に、 V_{ss} (即ち書き込みデータ "0") が転送される。また、レジスタ回路 1 2 に読み出された HC 値の "0" データは、1 ビット上位側にシフトされた状態で冗長センスアンプ回路 3 b に書き戻される。即ち、ページ消去前に冗長センスアンプ $RS A_j$ に読み出された冗長領域 1 b の HC データは、ページ消去後、"0" が一つ増えた状態に更新される。

【0032】

判定回路 1 3 は、冗長領域 1 b の HC データの最上位ビットが "1" か "0" かを判定する一種のコンパレータである。判定回路 1 3 は、レジスタ REG_{31} に読み出された最上位ビットを判定フラグ出力端子 $FOUT$ に出力するための、判定タイミング信号 $F = "H"$ 、 $F_n = "L"$ により活性化される転送バッファ 2 3 と、これと相補的に活性化される転送バッファ 2 4 とを有する。

【0033】

転送バッファ 2 4 の入力端は、 V_{dd} ($= "H"$) 固定である。ページ消去毎に、タイミング信号 $F = "H"$ 、 $F_n = "L"$ とすると、HC データの最上位ビットが "1" ($= "H"$) であれば、出力端子 $FOUT$ は放電されず、 $FOUT = "H"$ (パス) を保つ。HC データの最上位ビットが "0" になると、出力端子 $FOUT$ は放電されて、 $FOUT = "L"$ (フェイル) となる。この判定出力 $FOUT$ は直接或いはコントローラ 7 内のステータスレジスタを介して、チップ外部にも "Pass" 或いは "Fail" を示すステータスフラグとして出力される。

【0034】

図6は、ページ消去の制御フローを示している。ページ消去のコマンドが発行されると、コントローラ7は、まず冗長領域1bのHCデータのチェック読み出しを実行する（ステップS1）。このHCデータ読み出しは、図7に示すように、選択ブロックBLKiの全ワード線WL0-WL31にVss、選択ゲート線SGD、SGSにVddを与えた、全ワード線選択状態にて行われる。

【0035】

冗長領域1bは、図8A-8Dで説明したように、直前のページ消去が行われたページに“0”データ（オフセル）の数が最も多い状態として最新のHC値を記憶している。従って、全ワード線を選択状態として冗長領域1bのデータ読み出しを行うと、ブロック内の最新のHC値が冗長センスアンプ回路3bに読み出されることになる。この読み出しデータを、読み出しタイミング信号R=“H”，Rn=“L”で活性化される転送バッファ21jを介してレジスタ回路12に転送する（ステップS2）。そして、判定回路13に判定タイミング信号F=“H”，Fn=“L”を与えることにより、累積HC値が最大値MAXに達したか否かの判定を行う（ステップS3）。

【0036】

判定結果が“NO”（即ち、FOUT=“H”）であれば、次に選択されたページのデータ消去を行う（ステップS4）。その後、HCデータをインクリメントして、冗長センスアンプ回路3bに転送する（ステップS5）。具体的には、図5で説明したように、転送バッファ22jにタイミング信号W=“H”，Wn=“L”を与えることにより、“0”データが一つ増えた、更新されたHCデータが冗長センスアンプ回路3bに書き込みデータとして転送される。この更新されたHCデータを、冗長領域1bの選択ページに書き込む（ステップS6）。これにより、ページ消去動作は終了する。

【0037】

ステップS3での判定結果が“YES”（即ちFOUT=“L”）であれば、コントローラ7は消去動作を行うことなく、“フェイル”フラグをチップ外部に出力する（ステップS7）。このフェイルフラグを受けて、ユーザーは、ページ書き込み先を他のブロックに変更することができる。またユーザーは、選択ブロックのデータリフレッシュを行うことができる。

【0038】

具体的にデータリフレッシュは、選択ブロックのノーマルデータ領域1aの全データを読み出して例えばチップ外部のコントローラに一時待避させ、或いは他のブロックにコピー書き込みした後、選択ブロックの一括消去を行う。その後、待避させたデータを再度選択ブロックに書き込む。このとき、冗長領域1bは、オール“1”の消去状態（即ちHCデータの初期状態）を保つ。これにより、HC値を初期化すると同時に、ページ消去の繰り返しに伴う蓄積ストレスの影響を除去したデータを再書き込みすることができる。

【0039】

以上のようにこの実施の形態によれば、ブロック内のページ消去回数をチップ内で管理して、それが規定値を超えないように、ブロック毎にデータ消去動作を制限することができる。また、ページ消去回数の自動更新は簡単な操作で行われる。即ち、累積ページ消去回数は、冗長領域1bのあるページの“0”データの数で表される。ある選択ページのデータ消去が行われた場合、その選択ページの冗長領域1bに自動更新されたページ消去回数が書き込まれる。ページ消去回数のチェック読み出しは、全ページを選択状態とする1回の読み出し動作で可能である。そして読み出されたページ消去回数データは、転送バッファを用いたビットシフト動作により更新されて、書き戻される。ページ消去回数が最大値MAXに達したか否かは、冗長領域1bの最上位ビットの“1”，“0”により簡単に判定される。

【0040】

なおここまでの実施の形態では、ページ単位のデータ消去を行う場合を説明したが、複数の連続するページとして定義されるサブブロック単位でデータ消去を行う場合にも同様

にサブブロック消去回数（HC 値）の管理が可能である。このとき、HC 値は、選択されたサブブロック内の冗長領域 1b の適当なページに書き込まれるようにすればよい。HC 値のチェック読み出し、判定及び更新した累積 HC 値の書き込みの方法は、上記実施の形態と同様である。

【0041】

また実施の形態では、セルアレイが複数ブロックにより構成される。この場合、データ消去回数の制限は、ブロック毎に許容値（最大値）を設定して行われるから、データ書き換えがあるブロックに集中することが防止される。但しこの発明は、セルアレイが 1 ブロックの場合にも有効である。

【0042】

更に実施の形態では、HC 値のチェック読み出しをブロック内の全ページ選択（全ワード線選択）により行ったが、例えばサブブロック単位が固定されていれば、必ずしも全ページ選択でなくてもよい。例えば、4 ワード線をサブブロックとして、1 ブロックが 8 サブブロックで構成される場合に、HC 値の書き込みを各サブブロックの先頭ページに行うようにする。この場合、HC 値のチェック読み出しは、8 サブブロックの先頭ページに対応する 8 ワード線を選択状態（0V）とし、残りのワード線はパス電圧 V_{read} を与えた非選択状態として、行うことができる。

【0043】

またこの発明は、消去ページ数（即ちサブブロック単位）が固定ではなく、変更される場合にも対応できる。例えばあるブロック内で、4 ページ消去と 4 ページ書き込みを行い、次に 6 ページ消去と 6 ページ書き込みを行い、次には 2 ページ消去と 2 ページ書き込みを行う、といった書き換え制御を行う場合にも、この発明は有効である。この場合も、上記実施の形態と同様に、各データ消去毎に累積 HC 値を書き込めばよい。

【0044】

次に、上記実施の形態による不揮発性半導体記憶装置を搭載したメモリシステムとしての電子カードと、その電子カードを用いた電子装置の実施の形態を説明する。

図 9 は、この実施の形態による電子カードと、この電子カードを用いた電子装置の構成を示す。ここでは電子装置は、携帯電子機器の一例としてのデジタルスチルカメラ 101 を示す。電子カードは、デジタルスチルカメラ 101 の記録媒体として用いられるメモリカード 61 である。メモリカード 61 は、先の実施の形態で説明した不揮発性半導体装置或いはメモリシステムが集積化され封止された IC パッケージ PK1 を有する。

【0045】

デジタルスチルカメラ 101 のケースには、カードスロット 102 と、このカードスロット 102 に接続された、図示しない回路基板が収納されている。メモリカード 61 は、カードスロット 102 に取り外し可能に装着される。メモリカード 61 は、カードスロット 102 に装着されると、回路基板上の電気回路に電気的に接続される。

電子カードが例えば、非接触型の IC カードである場合、カードスロット 102 に収納し、或いは近づけることによって、回路基板上の電気回路に無線信号により接続される。

【0046】

図 10 は、デジタルスチルカメラの基本的な構成を示す。被写体からの光は、レンズ 103 により集光されて撮像装置 104 に入力される。撮像装置 104 は例えば CMOS イメージセンサであり、入力された光を光電変換し、アナログ信号を出力する。このアナログ信号は、アナログ増幅器（AMP）により増幅された後、A/D コンバータによりデジタル変換される。変換された信号は、カメラ信号処理回路 105 に入力され、例えば自動露出制御（AE）、自動ホワイトバランス制御（AWB）、及び色分離処理を行った後、輝度信号と色差信号に変換される。

【0047】

画像をモニターする場合、カメラ信号処理回路 105 から出力された信号はビデオ信号処理回路 106 に入力され、ビデオ信号に変換される。ビデオ信号の方式としては、例えば NTSC（National Television System Committ

e e) を挙げることができる。ビデオ信号は、表示信号処理回路 107 を介して、デジタルスチルカメラ 101 に取り付けられた表示部 108 に出力される。表示部 108 は例えば液晶モニターである。

【0048】

ビデオ信号は、ビデオドライバ 109 を介してビデオ出力端子 110 に与えられる。デジタルスチルカメラ 101 により撮像された画像は、ビデオ出力端子 110 を介して、例えばテレビジョン等の画像機器に出力することができる。これにより、撮像した画像を表示部 108 以外でも表示することができる。撮像装置 104、アナログ増幅器 (AMP)、A/D コンバータ (A/D)、カメラ信号処理回路 105 は、マイクロコンピュータ 111 により制御される。

【0049】

画像をキャプチャする場合、操作ボタン例えばシャッターボタン 112 を操作者が押す。これにより、マイクロコンピュータ 111 が、メモリコントローラ 113 を制御し、カメラ信号処理回路 105 から出力された信号がフレーム画像としてビデオメモリ 114 に書き込まれる。ビデオメモリ 114 に書き込まれたフレーム画像は、圧縮/伸張処理回路 115 により、所定の圧縮フォーマットに基づいて圧縮され、カードインタフェース 116 を介してカードスロット 102 に装着されているメモリカード 61 に記録される。

【0050】

記録した画像を再生する場合、メモリカード 61 に記録されている画像を、カードインタフェース 116 を介して読み出し、圧縮/伸張処理回路 115 により伸張した後、ビデオメモリ 114 に書き込む。書き込まれた画像はビデオ信号処理回路 106 に入力され、画像をモニターする場合と同様に、表示部 108 や画像機器に映し出される。

【0051】

なおこの構成では、回路基板 100 上に、カードスロット 102、撮像装置 104、アナログ増幅器 (AMP)、A/D コンバータ (A/D)、カメラ信号処理回路 105、ビデオ信号処理回路 106、メモリコントローラ 113、ビデオメモリ 114、圧縮/伸張処理回路 115、及びカードインタフェース 116 が実装される。

但しカードスロット 102 については、回路基板 100 上に実装される必要はなく、コネクタケーブル等により回路基板 100 に接続されるようにしてもよい。

【0052】

回路基板 100 上には更に、電源回路 117 が実装される。電源回路 117 は、外部電源、或いは電池からの電源の供給を受け、デジタルスチルカメラの内部で使用する内部電源電圧を発生する。電源回路 117 として、DC-DC コンバータを用いてもよい。内部電源電圧は、上述した各回路に供給される他、ストロボ 118、表示部 108 にも供給される。

【0053】

以上のようにこの実施の形態の電子カードは、デジタルスチルカメラ等の携帯電子機器に用いることが可能である。更にこの電子カードは、携帯電子機器だけでなく、図 11 A-11 J に示すような他の各種電子機器に適用することができる。即ち、図 11 A に示すビデオカメラ、図 11 B に示すテレビジョン、図 11 C に示すオーディオ機器、図 11 D に示すゲーム機器、図 11 E に示す電子楽器、図 11 F に示す携帯電話、図 11 G に示すパーソナルコンピュータ、図 11 H に示すパーソナルデジタルアシスタント (PDA)、図 11 I に示すヴォイスレコーダ、図 11 J に示す PC カード等に、上記電子カードを用いることができる。

【図面の簡単な説明】

【0054】

【図 1】 この発明の実施の形態による NAND 型フラッシュメモリの機能ブロック構成を示す図である。

【図 2】 同フラッシュメモリのセルアレイ構成を示す図である。

【図 3】 同フラッシュメモリのデータのしきい値分布を示す図である。

【図 4】同フラッシュメモリのセンスアンプ回路及びデータ消去回数管理システムの構成を示す図である。

【図 5】同消去管理システムの具体構成を示す図である。

【図 6】同フラッシュメモリのデータ消去の制御フローを示す図である。

【図 7】同フラッシュメモリのデータ消去回数チェック読み出し時のバイアス条件を示す図である。

【図 8 A】データ消去回数を記憶する冗長領域の初期化状態を示す図である。

【図 8 B】同冗長領域の第 1 回データ消去後のデータ消去回数記憶状態を示す図である。

【図 8 C】同冗長領域の第 2 回データ消去後のデータ消去回数記憶状態を示す図である。

【図 8 D】同冗長領域の第 3 2 回データ消去後のデータ消去回数記憶状態を示す図である。

【図 9】ディジタルスチルカメラに適用した実施の形態を示す図である。

【図 1 0】同ディジタルスチルカメラの内部構成を示す図である。

【図 1 1 A】ビデオカメラに適用した実施の形態を示す図である。

【図 1 1 B】テレビジョンに適用した実施の形態を示す図である。

【図 1 1 C】オーディオ機器に適用した実施の形態を示す図である。

【図 1 1 D】ゲーム機器に適用した実施の形態を示す図である。

【図 1 1 E】電子楽器に適用した実施の形態を示す図である。

【図 1 1 F】携帯電話に適用した実施の形態を示す図である。

【図 1 1 G】パーソナルコンピュータに適用した実施の形態を示す図である。

【図 1 1 H】パーソナルディジタルアシスタント（PDA）に適用した実施の形態を示す図である。

【図 1 1 I】ヴォイスレコーダに適用した実施の形態を示す図である。

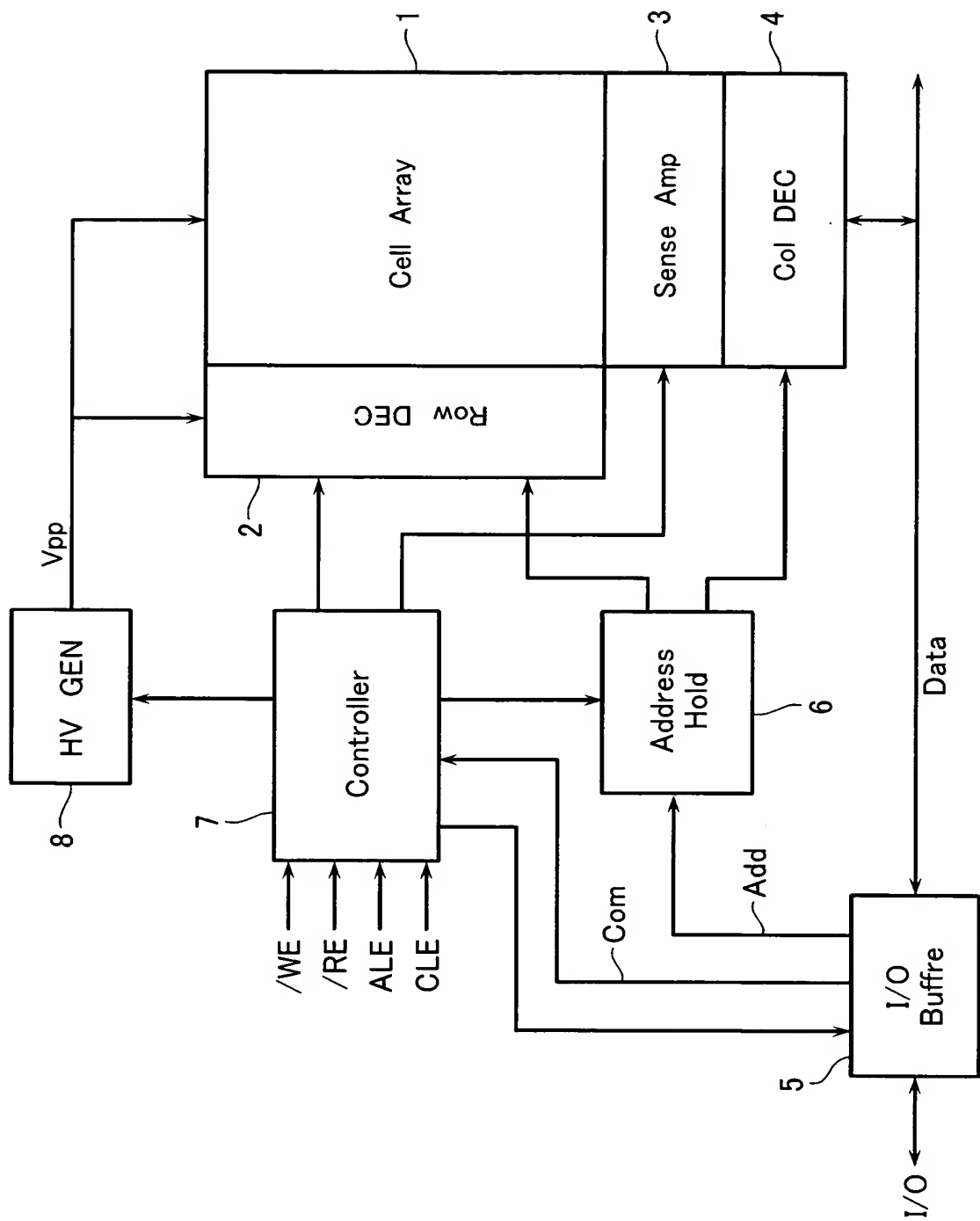
【図 1 1 J】PCカードに適用した実施の形態を示す図である。

【符号の説明】

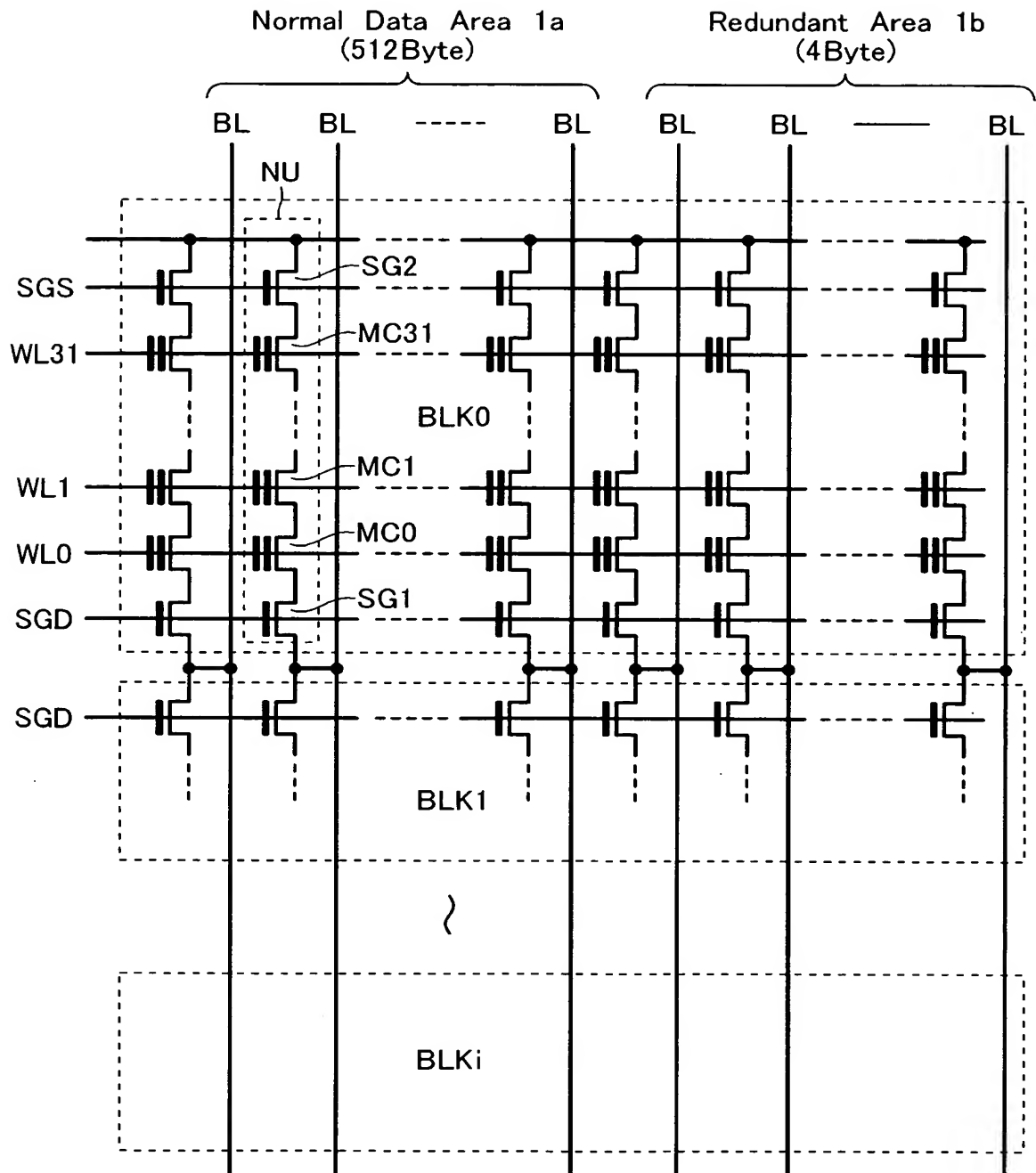
【0 0 5 5】

1…セルアレイ、1 a…ノーマルデータ領域、1 b…冗長領域（消去管理領域）、2…ロウデコーダ、3…センスアンプ回路、3 a…ノーマルセンスアンプ回路、3 b…冗長センスアンプ回路、4…カラムデコーダ、5…I/Oバッファ、6…アドレス保持回路、7…コントローラ、8…高電圧発生回路、1 1…データ転送回路、1 2…レジスタ回路、1 3…判定回路、2 1 j…読み出しバッファ、2 2 j…書き込みバッファ。

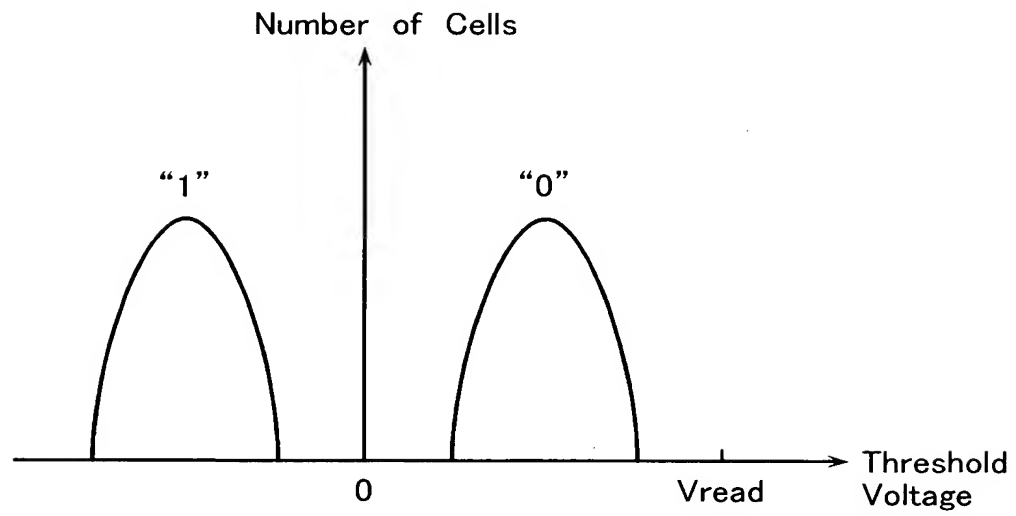
【書類名】 図面
【図 1】



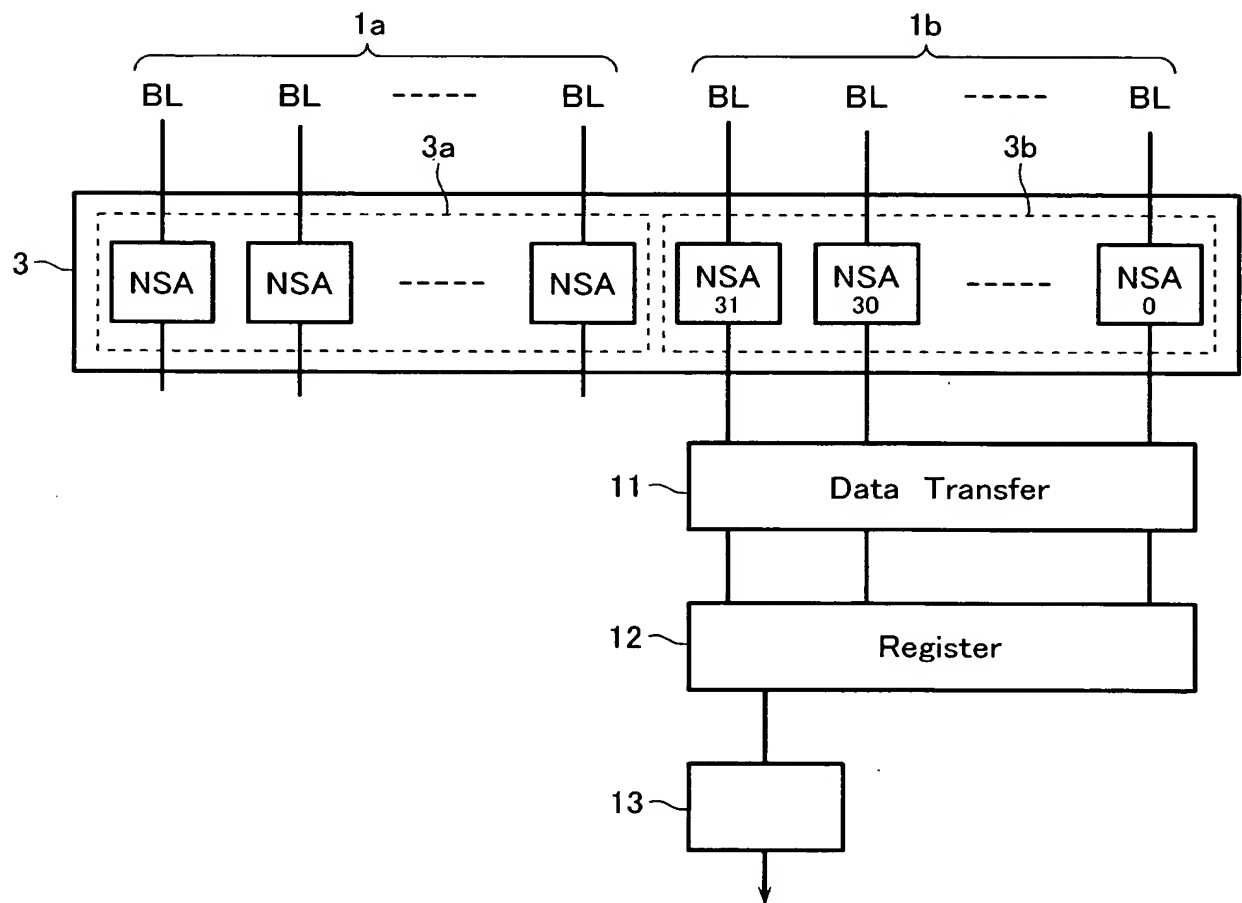
【図 2】



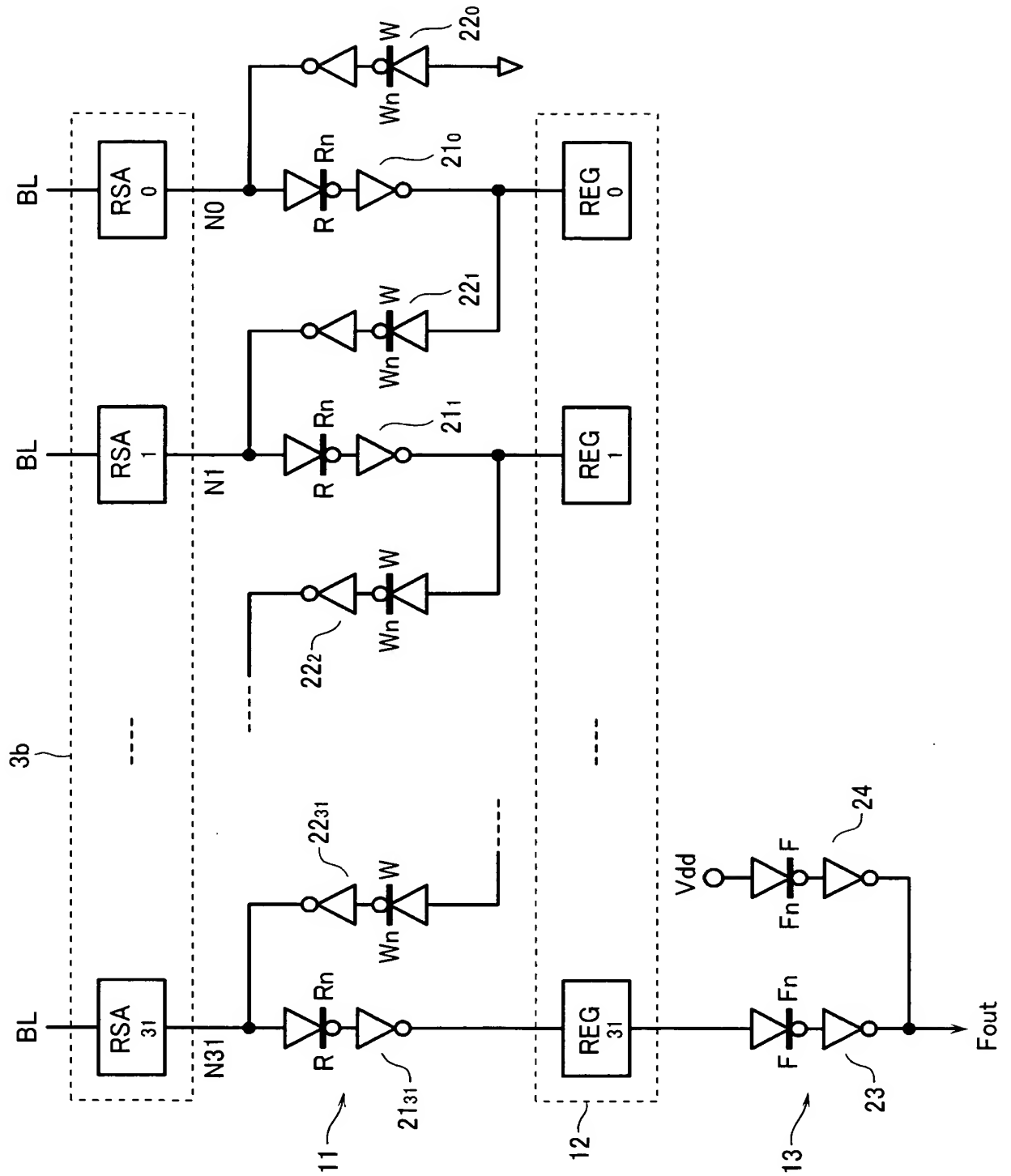
【図 3】



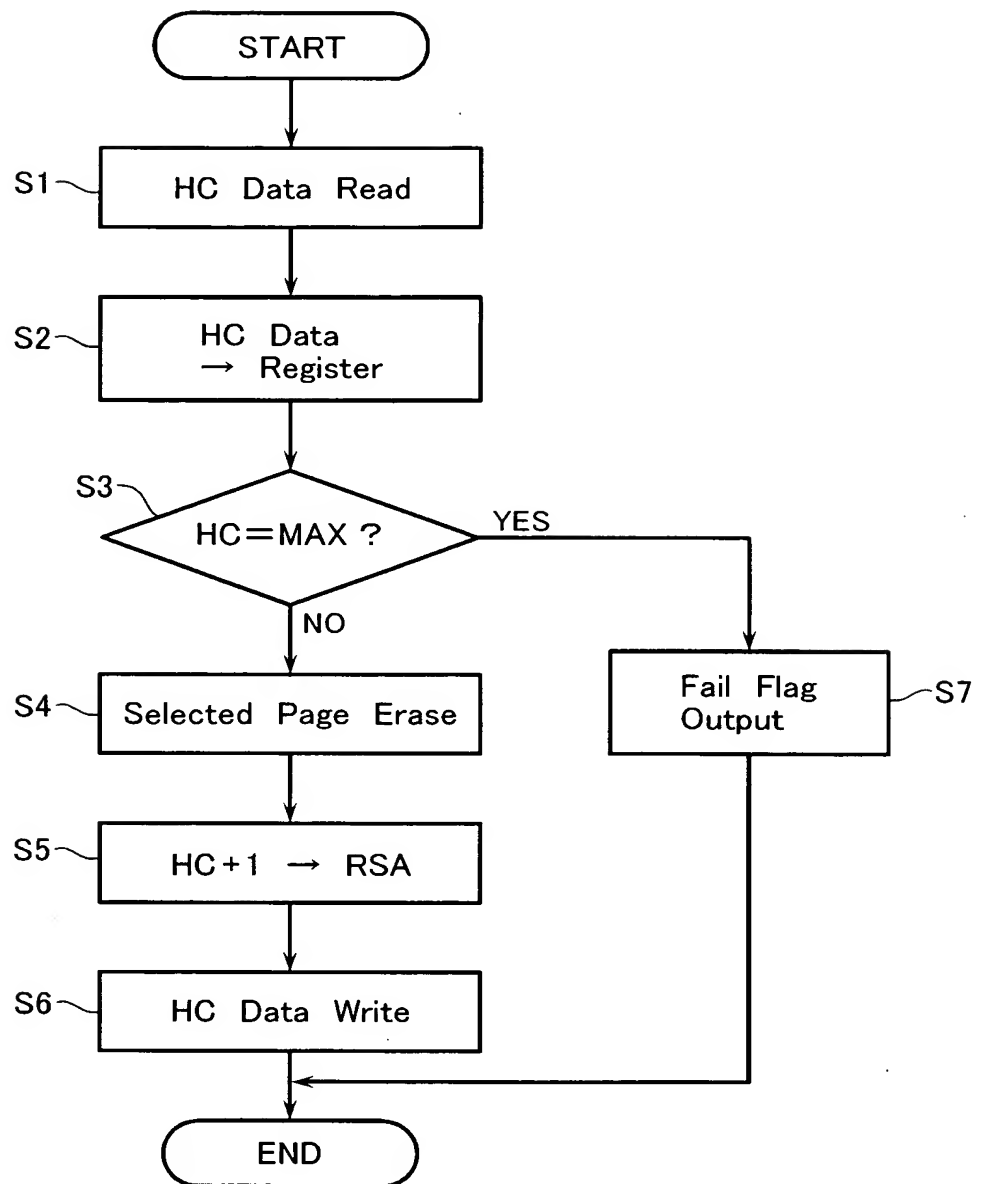
【図 4】



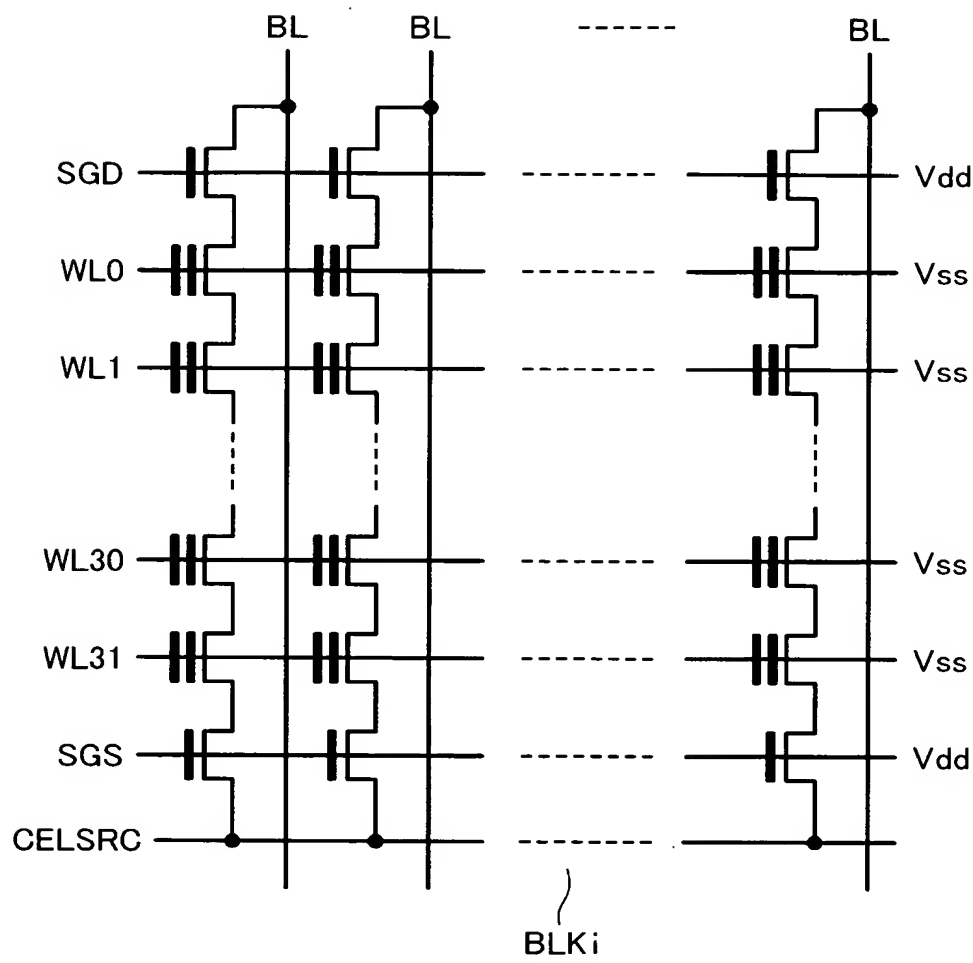
【図 5】



【図 6】



【図 7】



【図 8 A】

Initial							
	B31	B30		B3	B2	B1	B0
P0	1	1	-----	1	1	1	1
P1	1	1	-----	1	1	1	1
P2	1	1	-----	1	1	1	1
	}						
P31	1	1	-----	1	1	1	1

【図 8 B】

1st Erase (page P0)

	B31	B30		B3	B2	B1	B0
P0	1	1	-----	1	1	1	0
P1	1	1	-----	1	1	1	1
P2	1	1	-----	1	1	1	1
			}				
P31	1	1	-----	1	1	1	1

【図 8 C】

2nd Erase (page P2)

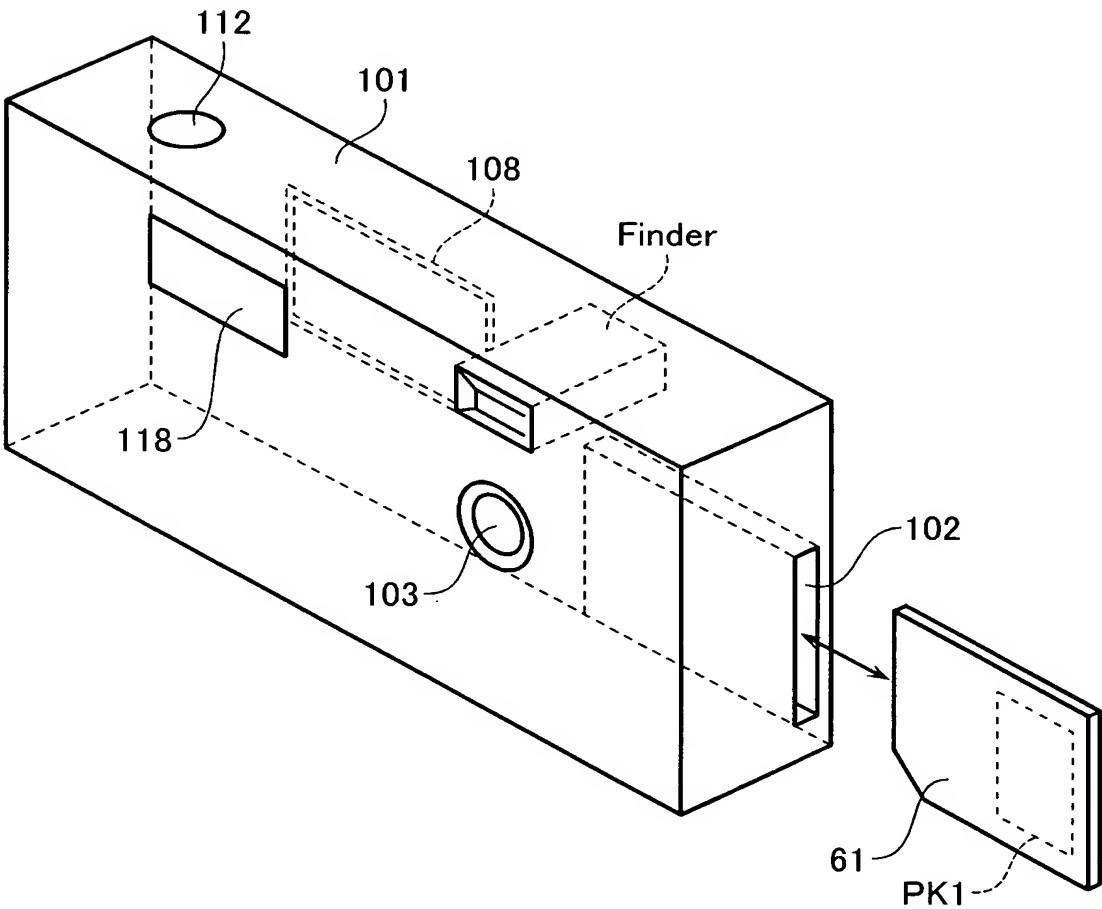
	B31	B30		B3	B2	B1	B0
P0	1	1	-----	1	1	1	0
P1	1	1	-----	1	1	1	1
P2	1	1	-----	1	1	0	0
			}				
P31	1	1	-----	1	1	1	1

【図 8 D】

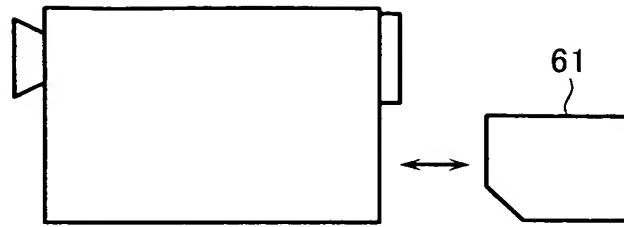
32th Erase (page P0)

	B31	B30		B3	B2	B1	B0
P0	0	0	-----	0	0	0	0
P1	1	*	-----	*	*	*	*
P2	1	*	-----	*	*	*	*
	}						
P31	1	*	-----	*	*	*	*

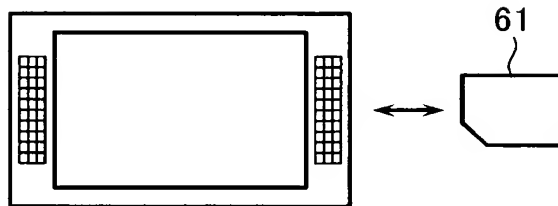
【図 9】



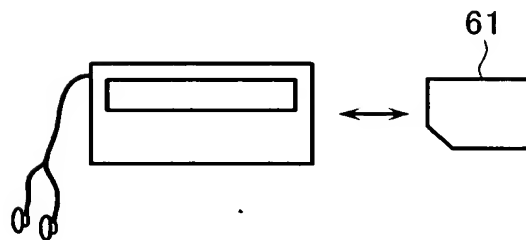
【図 11 A】



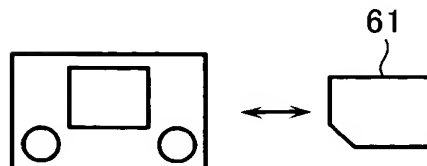
【図 11 B】



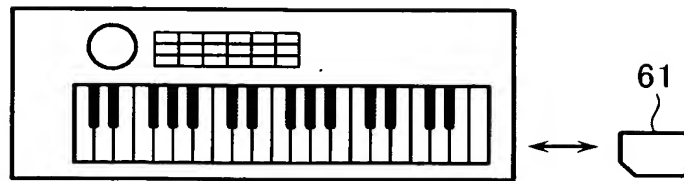
【図 11 C】



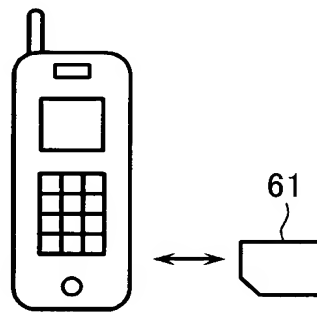
【図 11 D】



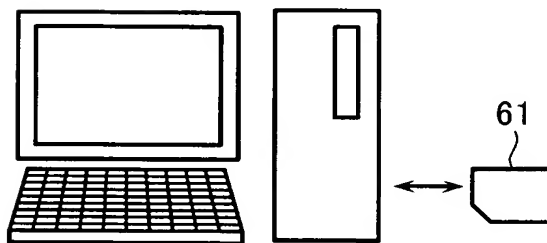
【図 1 1 E】



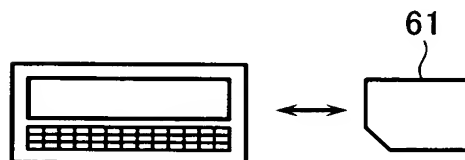
【図 1 1 F】



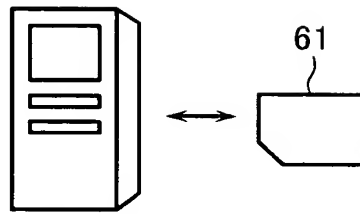
【図 1 1 G】



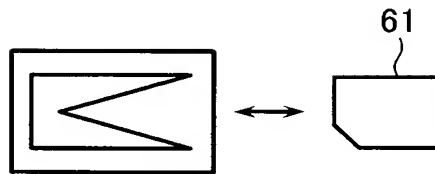
【図 1 1 H】



【図 11 I】



【図 11 J】



【書類名】 要約書**【要約】**

【課題】 データ消去回数を自動的に管理システムを内蔵する不揮発性半導体記憶装置とこれを用いた電子装置を提供する。

【解決手段】 不揮発性半導体記憶装置は、電氣的書き換え可能な不揮発性メモリセルが配列されて、複数ページで構成される少なくとも一つのブロックを有するセルアレイと、前記セルアレイのページ単位或いは連続する複数ページからなるサブブロック単位でのデータ消去を制御するコントローラとを備え、前記セルアレイは、二値データ列で表されてその下位ビット側の“0”データの数が累積値を示すデータ消去回数を記憶する消去管理領域を有し且つ、前記消去管理領域が記憶するデータ消去回数は、前記ブロック内の選択ページについてのデータ消去前に前記ブロックの全ページを選択状態とするチェック読み出し動作で読み出され、データ消去後に更新されたデータ消去回数が前記選択ページに書き込まれる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 3 1 1 3 9 3
受付番号	5 0 3 0 1 4 6 1 0 9 5
書類名	特許願
担当官	土井 恵子 4 2 6 4
作成日	平成 1 5 年 9 月 4 日

< 認定情報・付加情報 >

【提出日】	平成 1 5 年 9 月 3 日
-------	------------------

特願 2 0 0 3 - 3 1 1 3 9 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1 . 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝